

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-163691
 (43) Date of publication of application : 18.06.1999

(51) Int.Cl. H03K 5/04
 H03K 5/13

(21) Application number : 09-328075 (71) Applicant : SEIKO EPSON CORP
 (22) Date of filing : 28.11.1997 (72) Inventor : ONISHI KOTA

(54) DUTY CORRECTION CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a duty correction circuit realizable by a low area in the case of handling a low frequency.

SOLUTION: This circuit is constituted of a ring oscillator 1 for oscillating when input data are at a high level, the ring oscillator 2 for oscillating at the same frequency as the ring oscillator 1 when the input data are at a low level, two counter circuits 3 and 4 for respectively counting the output pulse numbers of the two ring oscillators 1 and 2, a comparator circuit 5 for comparing the counter values of the two counter circuits 3 and 4 and a correction circuit 6 for correcting the duty of the input data by the output of the comparator circuit 5. Thus, a delay circuit for one cycle and a memory cell are omitted, the duty correction circuit of the low frequency is realized by an area lower than before, a chip area is reduced in the case of being loaded on a semiconductor integrated circuit and a cost is lowered.



LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against

examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-163691

(43)公開日 平成11年(1999)6月18日

(51)Int.Cl.⁶
H 03 K 5/04
5/13

識別記号

F I
H 03 K 5/04
5/13

審査請求 未請求 請求項の数2 O.L (全4頁)

(21)出願番号

特願平9-328075

(22)出願日

平成9年(1997)11月28日

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 大西 幸太

長野県諏訪市大和3丁目3番5号 セイコ
一エプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外2名)

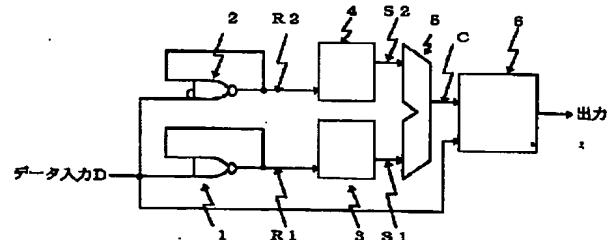
(54)【発明の名称】 デューティ補正回路

(57)【要約】

【課題】低周波数を扱う場合に低面積で実現できるデュ
ーティ補正回路を提供することを目的とする。

【解決手段】入力データがハイレベル時に発振するリン
グオシレータと、前記入力データがロウレベル時に前記
リングオシレータと同じ周波数で発振するリングオシレ
ータと、前記2つのリングオシレータの出力パルス数を
それぞれカウントする2つのカウンタ回路と、前記2つ
のカウンタ回路のカウンタ値を比較する比較回路と、前
記比較回路の出力より前記入力データのデューティを補
正する補正回路から構成されるデューティ補正回路。

【効果】1周期分のディレイ回路と記憶素子を省くこと
ができる、低周波数のデューティ補正回路において従来例
より低面積で実現でき、半導体集積回路に搭載する場合
にチップ面積を小さくでき、低コスト化できるという効
果がある。



【特許請求の範囲】

【請求項1】入力データのデューティを50%に補正するデューティ補正回路において、前記入力データがハイレベル時に発振するリングオシレータと、前記入力データがロウレベル時に前記リングオシレータと同じ周波数で発振するリングオシレータと、前記2つのリングオシレータの出力パルス数をそれぞれカウントする2つのカウンタ回路と、前記2つのカウンタ回路のカウンタ値を比較する比較回路と、前記比較回路の出力より前記入力データのデューティを補正する補正回路よりなることを特徴とするデューティ補正回路。

【請求項2】請求項1記載のデューティ補正回路において、2つのリングオシレータの代わりに、入力データがハイレベル時に伝搬する外部クロック信号と前記入力データがロウレベル時に伝搬する外部クロック信号とを用いることを特徴とするデューティ補正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路などで実現されるデューティ補正回路に関する。

【0002】

【従来の技術】近年、デューティ補正回路は、PLLに代表されるようにデータを一定量ディレイさせて調整する方法が用いられている。

【0003】このようなデューティ補正回路の構成としては、特開平07-253445号公報に記載されている。図5は、従来例の回路の構成例である。図6は、図5の動作を示すタイミング波形図の一例である。以下、図5、図6を用いて説明する。データ入力Dを、データの1周期の1/Nをディレイさせるデータディレイ部をN個以上直列に接続した回路に入力し、夫々のデータディレイ部の出力より、1/N、2/N、3/N、…づつ位相をずらしたデータD1、D2、D3、…を作り、データ入力Dの立ち上がりエッジにてD1、D2、D3、…を記憶素子に記憶する。これらの記憶素子のデータがロウレベルの個数よりデータ入力Dのロウレベルのパルス幅を、ハイレベルの個数よりハイレベルのパルス幅をそれぞれ検出する。DSは、ハイレベルの記憶素子とロウレベルの記憶素子との個数の差の1/2×(データの1周期の1/N)をディレイさせるデータディレイ部の出力で、補正回路に入力される。ハイレベルの記憶素子の個数がロウレベルの記憶素子の個数より多い場合は、DSとデータ入力Dの論理積が出力され、ハイレベルの記憶素子の個数がロウレベルの記憶素子の個数より少ない場合は、DSとデータ入力Dの論理和が出力される。

【0004】以上の説明より、図5の回路はパルス幅の差の1/2を補正するものであり、50%デューティ補正回路として動作することがわかる。

【0005】

【発明が解決しようとする課題】上記従来のデューティ補正回路は、データの1周期のディレイを必要とするため、低周波数を扱う場合に面積が大きくなるといった問題点を有していた。

【0006】そこで、本発明は低周波数を扱う場合にも低面積で実現できるデューティ補正回路を提供することを目的とする。

【0007】

【課題を解決するための手段】請求項1記載の発明は、入力データがハイレベル時に発振するリングオシレータと、前記入力データがロウレベル時に前記リングオシレータと同じ周波数で発振するリングオシレータと、前記2つのリングオシレータの出力パルス数をそれぞれカウントする2つのカウンタ回路と、前記2つのカウンタ回路のカウンタ値を比較する比較回路と、前記比較回路の出力より前記入力データのパルス幅を補正する補正回路よりなることを特徴とする。

【0008】請求項2記載の発明は、請求項1記載のデューティ補正回路において、2つのリングオシレータの代わりに、入力データがハイレベル時に伝搬する外部クロック信号と前記入力データがロウレベル時に伝搬する外部クロック信号とを用いることを特徴とする。

【0009】

【作用】請求項1記載の発明では、入力データのパルス幅をリングオシレータのパルス数をカウントすることにより検出できるため、1周期のディレイと記憶素子を必要とせず、低面積で回路を構成できる。

【0010】請求項2記載の発明では、入力データのパルス幅を外部から入力するクロック信号のパルス数をカウントすることにより検出できるため、1周期のディレイと記憶素子を必要とせず、低面積で回路を構成できる。また、外部から入力するクロック信号の周波数を変更することにより、様々な周波数のデータに対応できる。

【0011】

【発明の実施の形態】以下本発明の実施例を図面により説明する。

【0012】(実施例1)図1は、本発明の第1の実施例を示す回路図である。1、2はリングオシレータで、3、4はカウンタで、5は比較回路、6は補正回路で各構成要素は、図1に示すように接続される。

【0013】図2は、図1の補正回路6の構成を示す回路図である。7は正数化を行う演算回路で、8は1/2にする演算回路で、9は図1のリングオシレータ1、2と同じ周波数の発振を行うリングオシレータを内蔵したディレイ回路で、10は論理積で、11は論理和で、12はセレクタで各構成要素は図2に示すように接続される。

【0014】図3は、図1の回路の動作を示すタイミング波形図の一例で、データ入力Dが図3に示したように

与えられた場合の動作を示している。R1、R2はそれぞれリングオシレータ1、リングオシレータ2の出力でデータ入力Dがハイレベル時、もしくはロウレベル時に発振出力される。カウンタ3、カウンタ4はR1、R2の立ち上がり時にカウントアップされ、データ入力Dの1周期の間、カウントを行う。S1、S2はそれぞれカウンタ3、カウンタ4の出力で比較回路5に入力される。比較回路5はS1とS2の減算を行い、その結果Cを出力する。補正回路6は、比較回路5の結果Cとデータ入力Dが入力され、比較回路5の結果Cを図2の正数化を行う演算回路7で正数化して、図2の1/2にする演算回路8で1/2にする。図2のディレイ回路9は、図2の演算回路8の出力×リングオシレータの周期分の時間、データ入力Dをディレイさせる回路で、リングオシレータとカウンタで構成できる。図2のセレクタ12は、結果Cが正の場合は図2のディレイ回路9の出力Dとデータ入力Dの論理積10を選択し、結果Cが負の場合は論理和11を選択し出力する。以上のことより、補正回路6の出力はデータ入力Dのハイレベル時及びロウレベル時のパルス幅の差の1/2を補正されたものであり、図1の回路が50%デューティ補正回路として動作することがわかる。

【0015】例として1nsの精度で1000nsの周期のデータ入力を扱うデューティ補正回路を構成した場合、従来例では、1nsのディレイ素子1000個と1/1000, 2/1000, 3/1000, …ずつ位相をずらしたデータを保持する記憶素子を1000個とそれらの1つを選択する回路を必要とした。本発明の回路では、1nsのリングオシレータと2つの10ビットカウンタ(1024進)と比較回路、補正回路で構成することができ、従来例と比較して低面積で実現できることがわかる。

【0016】(実施例2)図4は、本発明の第2の実施例を示す回路図である。1a、2aは外部から入力され

たクロック信号をデータ入力Dがハイレベルもしくはロウレベル時に伝搬するゲート回路で、3、4はカウンタで、5は比較回路、6は補正回路である。図4は、実施例1のリングオシレータが outputするR1、R2を外部から入力したもので、デューティ補正回路の精度を外部から入力するクロック信号の周期で変更することができる。その後の動作は実施例1と同じであるため省略する。

【0017】

【発明の効果】本発明のデューティ補正回路を用いると、低周波数のデューティ補正回路を従来例と比較して低面積で構成でき、半導体集積回路に搭載した場合にチップ面積を小さくでき、低コスト化できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を示す回路図。

【図2】補正回路6の詳細を示す回路図。

【図3】本発明の第1の実施例の動作を説明するタイミング波形図。

【図4】本発明の第2の実施例の構成を示す回路図。

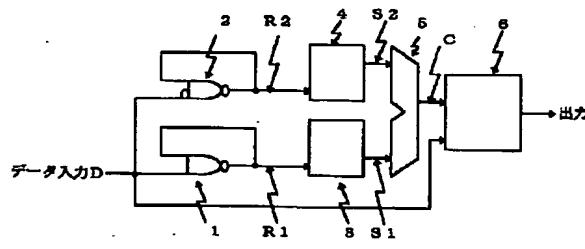
【図5】従来例の構成を示す回路図。

【図6】従来例の動作を説明するタイミング波形図。

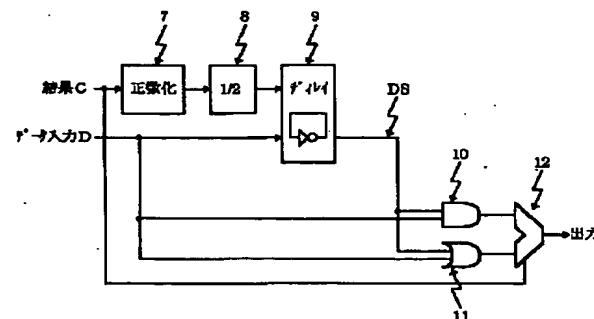
【符号の説明】

1、2	リングオシレータ
3、4	カウンタ
5	比較回路
6	補正回路
7	正数化を行う演算回路
8	1/2する演算回路
9	ディレイ回路
10	論理積
11	論理和
12	セレクタ
1a、2a	ゲート回路

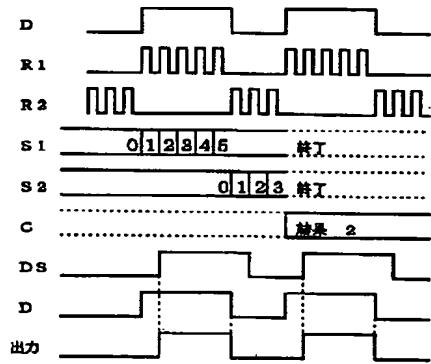
【図1】



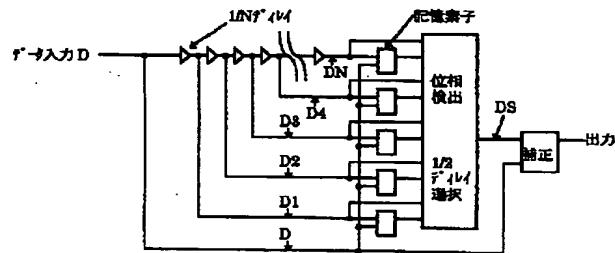
【図2】



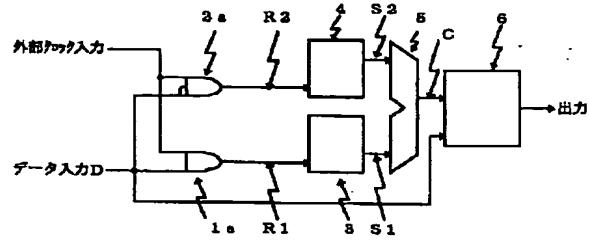
【图3】



【図5】



【図4】



【図6】

